

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Complete if Known

Application Number	N/A
Filing Date	02/19/04
First Named Inventor	Hirokazu HAYASHI
Art Unit	N/A
Examiner Name	N/A
Attorney Docket Number	R0307T

Sheet

of

U. S. PATENT DOCUMENTS

[illegible]

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.	Foreign Patent Document	Publication Date	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages Or Relevant Figures Appear	T ⁶
		Country Code ³ *Number ⁴ *Kind Code ⁵ (if known)	MM-DD-YYYY			
		JP 7-260867	10-13-1995	Fujitsu		

Examiner Signature	Date Considered
-----------------------	--------------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

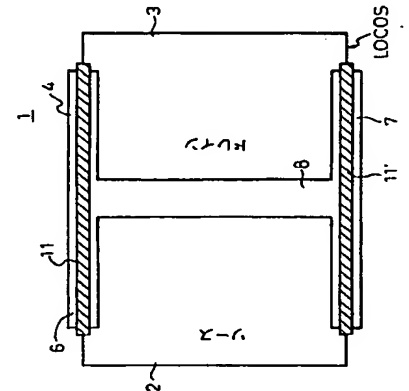
P-2290

(19)日本特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平7-260867
(43)公開日 平成7年(1995)10月13日

(5)Int.Cl.	種別記号	庁内整理番号	FI	技術表示箇所
G 0 1 R 31/12		8203-2G		
31/16		8203-2G		
H 0 1 L 21/78				
		H 0 1 L 21/78	M	
		21/94	A	
審査請求 請求項の最9 O L (全9頁) 最終頁に図く				
(2)出願番号	特開平6-4724	(71)出願人	00005223	
		富士通株式会社		
(22)出願日	平成6年(1994)3月17日	神奈川県川崎市中原区上小田中1015番地		
		渡田 誠		
		神奈川県川崎市中原区上小田中1015番地		
		富士通株式会社内		
		庄野 健		
		神奈川県川崎市中原区上小田中1015番地		
		富士通株式会社内		
		(74)代理人 弁理士 石田 敬 (外3名)		

(54) (発明の名称) 半導体装置の製造方法及びその評価方法

(57) 【要約】
【目的】 任意のサイズ、任意の数の素子からなる半導体装置に於ける特性を評価する為に、各素子に形成されているゲート酸化膜の信頼性を更短時間に効率的に評価する事が出来るシミュレーション方法を提供すること。
【構成】 トランジスタが形成された半導体装置に於いて、ゲート酸化膜の信頼性を評価する為に、ゲート酸化膜の厚さ、ゲート・パース・ビーク部分0及びLOCOS・パース・ビーク部分11の形状をそれぞれ独立したパラメータとして取り扱うことが可能に、当該各部分が可能な形状に形成した半導体装置の特性評価ゲートパターン1。



【特許請求の範囲】
【請求項1】 基板上にトランジスタが形成された半導体装置に於いて、前記トランジスタのゲートの面積部分、ゲート・パース・ビーク部分及びLOCOS・パース・ビーク部分の形状をそれぞれ独立したパラメータとして取り扱うことが可能な様に、当該各部分が可変である事を特徴とする半導体装置の特性評価ゲートパターン。
【請求項2】 当該装置の互いに異なる請求項1に記載の特性評価ゲートパターンを複数個集合させて形成した事を特徴とする特性評価ゲートパターン。
【請求項3】 該ゲートの形状は、LOCOS・パース・ビーク部分に平行な第1と第2の帯状部分と第1及び第2の帯状部分の間に配置され、且つ該第1と第2の帯状部分と直交に該第1と第2の帯状部分とを連結している連結部分とから構成された形状である事を特徴とする請求項1記載の半導体装置の特性評価ゲートパターン。
【請求項4】 該ゲートパターンの形状は、該第1と第2の帯状部分と、当該帯状部分の長手方向にその長さを可変しうるものであり、又該連結部分は、当該連結部分の長手方向及び該帯状部分と平行な方向の少なくとも何れか一方に傾斜可能である事を特徴とする請求項3記載の半導体装置の特性評価ゲートパターン。
【請求項5】 半導体装置の基板上に形成されたトランジスタに於いて、前記トランジスタのゲートの面積部分、ゲート・パース・ビーク部分及びLOCOS・パース・ビーク部分をパラメータとして含み、且つそれぞれのパラメータに対して、所定の係数を付与してなる多項式を用いて評価を行う事を特徴とする半導体装置の特性評価方法。
【請求項6】 当該半導体装置の評価は、絶縁破壊試験を実行して、トランジスタに於ける絶縁破壊が発生する迄の絶縁抵抗、若しくはそれ迄の絶縁抵抗、トランジスタの信頼性等から選ばれた一つである事を特徴とする請求項5記載の半導体装置の特性評価方法。
【請求項7】 複数の互いに異なる前記した特性評価ゲートパターンを準備して、当該各特性評価ゲートパターンを用いて、所定の装置に於けるトランジスタに対して、所定で得られた複数の装置に於けるトランジスタに於いて、当該各特性評価ゲートパターンを前記した多項式に代入して、統計的手法に従って、当該多項式に於ける各パラメータの係数を算出する事を特徴とする請求項6記載の半導体装置の特性評価方法。
【請求項8】 半導体装置の基板上に形成されたトランジスタに於いて、前記トランジスタのゲートの面積部分、ゲート・パース・ビーク部分及びLOCOS・パース・ビーク部分をパラメータとして含み、且つそれぞれのパラメータに対して、所定の係数を付与してなる多項式を用いて半導体装置の特性評価を行うに際し、複数の互いに異なる前記した特性評価ゲートパターンを準備する工程。

当該各特性評価ゲートパターンを用いて、所定の装置に於けるトランジスタを形成する工程。
かくして得られた複数の装置の試験用トランジスタに対して、それぞれ所定の予備的絶縁破壊試験を実行する工程。
前記予備的絶縁破壊試験により得られた評価データと当該試験用の各トランジスタに於けるパラメータとを前記多項式に代入して、統計的手法に従って、当該多項式に於ける各パラメータの係数を算出する工程。
当該係数が決定された多項式を用いて、特定の設計条件を有する試験用トランジスタの絶縁破壊試験を行う工程。
当該絶縁破壊試験により得られた結果から、該試験用トランジスタに於けるトランジスタの特性評価を行う工程。
該特性評価の結果に基づいて、当該試験用トランジスタに於ける、絶縁抵抗しきり部分の構成を変更する処理を行う工程、とから構成されている事を特徴とする半導体装置の設計方法。
【請求項9】 当該設計方法に基づいて製造された各トランジスタに於ける構成要素の製造条件に従って、半導体装置にトランジスタを形成する事を特徴とする請求項8記載の半導体装置の製造方法。
【発明の詳細な説明】
【0001】 本発明は、半導体装置の評価方法及び半導体装置の設計方法に関し、更には、当該半導体装置に於ける各トランジスタの特性を評価する事を特徴とする半導体装置の製造方法に関するものである。
【0002】 従来の技術 従来から、トランジスタのゲート酸化膜の信頼性を評価する為に、ゲート酸化膜の厚さ、ゲート・パース・ビーク部分0及びLOCOS・パース・ビーク部分11の形状をそれぞれ独立したパラメータとして取り扱うことが可能に、当該各部分が可能な形状に形成した半導体装置の特性評価ゲートパターンを準備する工程。

ンジス、タグレート酸化膜の厚みを変化させた場合の例を示すものである。

【0045】つまり、グラフ1からT3は、データ格
化轉の早みを変化させて作成したトランジスタを示し、
グラフ2や左下に移行するに連れて、トランジスタの
サイズが小さくなり、信頼度が上昇していく図になっ
ていく。更に、各グラフ1からT3は、それぞれトラン
ジスタの構成、即ちV_{th}を変化させてそれぞれ3段階に達
して変化させた例を示している。

【0046】係る結果から、例えば、トランジスタのサイズが小さくなる場合には、チャネル長つまりLOCOS・バーズビークは影響により、QIDが大きく変化して、その事が明らかであるので、次世代LSIを製作する場合には、LOCOS・バーズビークの信頼性に問題が生ずる原因にあることから、LOCOS・バーズビークの形状を改定させると、W/L比を変化させる事により、酸化物特性を向上させると同時に、勧告する事が出来る。従って、本発明は各工程にトランジスタの設計を変更する事が可能となる。

【0047】次に、本発明に於ける上記半導体装置の設計方法を利用して、前記した様な半導体装置に於けるトランジスタの設計が可能であり、その設計方法の一形態を以下に示しておく。即ち、半導体装置の基板の上に形成されたトランジスタに関し、ゲート電極の絶縁破壊試験は、当該絶縁破壊試験の結果に基づいて、当該装置の設計を行う工程、当該絶縁破壊試験により得られた結果から、該装置のトランジスタに於けるトランジスタの特性値を行う工程、設計評価の結果に基づいて、当該装置の設計を行う工程とを繰り返すこととなる。

図1は、本発明に係る半導体装置の設計方法を示すフローチャートである。図1に示すように、この設計方法は、まず、半導体装置の設計を行う工程（S1）から始まり、その後、半導体装置の設計が完了した場合（S2）、半導体装置の設計方法を適用する工程（S3）に進む。この工程（S3）では、半導体装置の設計方法を適用することによって、半導体装置の設計が完了する。このように、本発明に係る半導体装置の設計方法は、半導体装置の設計を行う工程と、半導体装置の設計方法を適用する工程とを繰り返すこととなる。

【0048】更に、係る設計方法を活用する事によつて、所定の半導体装置を容易に製造する事が可能であ

(0040)

【発明の効果】本発明は、上記した様な技術構成を採用しているので、一つの回路は幾何のパターンを作成し、上記した多項式を用いてその測定結果を解析する事によって、次世代、次次世代のLSIに於けるゲート酸化膜の信頼性をシミュレーションする事が可能となる。

【0050】 従って、情緒性評価時間が短縮され、又幾つもの簡化例が採用の要素を構成することも必要ではな
い。半導体装置の開発に寄与する処が大きい。
更に、本発明に据る上記した半導体装置の評価は、パターン
と線路パターンとを用いた半導体装置の特性評価と実行
する事によって、実験計画法により指示された、実施不
可能なデータのハザードをも容易に作成して評価を実行
出来るので、評価動作が簡便となると共に、正確な評価
結果が迅速に得られる。

【0051】更には、所定の演算式を使用する事によって、一度当該演算式の係数を確定しておく事によって、同一条件の製造条件、同一のプロセス技術で製造されるトラジスタに付いては、その形状が異なっているものであつても、極めて高い精度を以て、その信頼性を評価する事が可能となる。又、評価結果を得る為には、再度信頼性は確保せしむる必要がなく、サンプルの作成を含めて信頼性は検証する時間を大幅に短縮する事が可能となり、その結果、半導体装置の開発時間が大幅に短縮される。

【例題の簡単な説明】

【図1】図1は、本発明に係る特性評価グラフパターン
の一具体例の形状を示す平面図である。

【図2】図2A～図2Cは、本発明に於ける信頼性評価試験の基本原理を説明する図である。

【図3】図3は、本発明に於いて使用される実験計画法
による測定サンプルの指示例を示す計画面である。

【図４】図４は、本発明に於いて使用される特性評価データハターンを搭載したハターンブロックの図を示す平面図である。

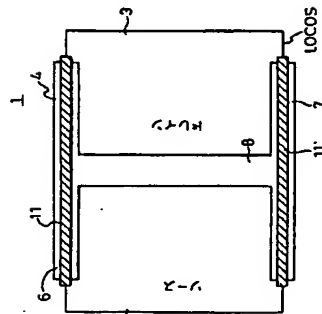
【図5】図5は、本発明に於ける信頼性試験を行った結果を示すグラフである

【図6】図6は、本発明に於ける信頼性試験方法に従った結果を示すグラフである。

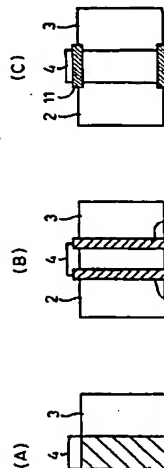
【海号の说明】

- …特性評価シートパターン
- …ソース領域
- …ドレイン領域
- …ゲート電極
- 、7…第1及び第2の階状部分
- …連結部分
- …ゲートの面積部分
- 0、1、0'…ゲート・パターズ・ビーク部
- 1、1、1'…LOCOS・パターズ・ビーク部
- 2…特性評価シートパターン・ブロック

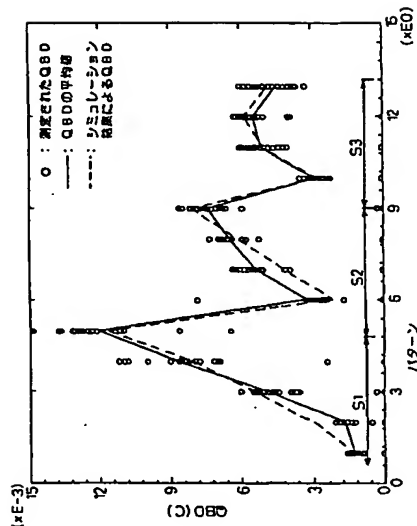
【一圖】



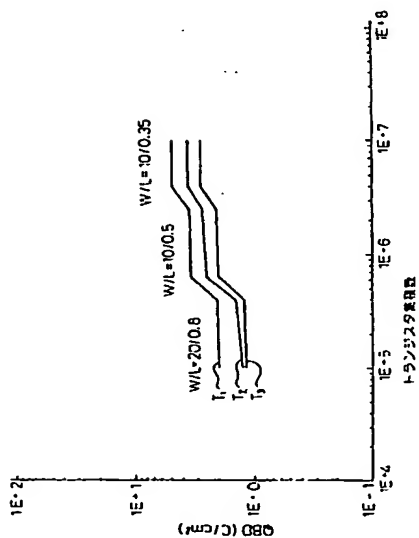
【例2】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 6

H01L 21/316

識別記号 国内処理番号

F I

技術表示箇所